Đề đồ án TKLL lớp KSTN (cả ba nhóm làm cùng 1 đề, báo cáo viết riêng từng nhóm)

*Thiết kế và hiện thực bộ xử lý MIPS bằng Verilog-HDL*

**Yêu cầu**:

* Bộ xử lý hoạt động theo mô hình Single cycle (mỗi lệnh một chu kỳ)
* Xử lý được các lệnh sau: add, addi, sub, lw, sw, j, beq, and, or, nor, andi, ori, slt, slti (thêm các lệnh khác sẽ được bonus)
* Bộ xử lý phải được hiện thực bằng Verilog-HDL và mô phỏng được bằng ModelSim hoặc phần mềm tương đương (Vivado, Quartus,…)
* Dữ liệu được khai báo sẵn trong Data memory để mô phỏng các lệnh lw/sw
* Lệnh được mã hoá thành mã máy (dùng opcode và các chỉ số được quy định bởi kiến trúc MIPS) được lưu trữ trước trong Instruction Memory
* Thực hiện tổng hợp bộ xử lý đã thiết kế với Vivado và sử dụng chip Zynq để ước lượng tài nguyên cần thiết
* Viết báo cáo mô tả bộ xử lý, các module đã hiện thực và ước lượng tài nguyên, tần số hoạt động sau tổng hợp